

PARÁMETROS DE SPICE LEVEL 2 PARA SIMULACIÓN DE TRANSISTORES TFTS DE IGZO

Flores-Figueroa, Julio Isaac¹; Torres-Melchor, Willy Omar¹; Molinar-Solis Jesús Ezequiel^{1*};
Jalomo-Cuevas Jaime¹; Hernández-Como Norberto²; Ocampo-Hidalgo Juan Jesús³

¹TecNM/Instituto Tecnológico de Cd. Guzmán, Departamento de Ingeniería Eléctrica-Electrónica
Av. Tecnológico 100, Cd. Guzmán, Jalisco, C.P. 49100, Tel. 341 5752050

²Instituto Politécnico Nacional, Av. Luis Enrique Erro S/N, Unidad Profesional Adolfo López Mateos,
Zacatenco, Alcaldía Gustavo A. Madero, C.P. 07738, Ciudad de México

³Universidad Autónoma Metropolitana, Departamento de Electrónica, Av. San Pablo 180, Col. Reynosa
Tamaulipas, C.P. 02200, Ciudad de México

*jesus.ms@cdguzman.tecnm.mx

RESUMEN

En este trabajo, se presenta el desarrollo de un modelo aproximado para SPICE de transistores de película delgada (TFTs) de IGZO. Basándonos en mediciones experimentales de TFTs desarrollados por el Centro de Nanociencias del IPN, el modelo propuesto se ajusta aproximadamente a las curvas de transconductancia y las curvas de característica de salida de dichos transistores considerando efectos físicos y parámetros eléctricos. Además, el modelo fue validado mediante la simulación de un circuito inversor *push-pull* compuesto por transistores complementarios con dimensiones $W=20\mu\text{m}$ y $L=10\mu\text{m}$ para el canal N; y un $W=80\mu\text{m}$ y $L=5\mu\text{m}$ para el canal P. Los resultados muestran una correlación muy aceptable con el comportamiento real del circuito. Este modelo de SPICE proporciona una herramienta confiable para el diseño y análisis de circuitos basados en TFTs de IGZO facilitando la implementación de estos dispositivos electrónicos.

Palabras Clave: TFT, IGZO, Spice, simulación eléctrica.

ABSTRACT

In this work, the development of an approximate SPICE model for IGZO thin-film transistors (TFTs) is presented. Based on experimental measurements of TFTs developed by the IPN Nanoscience Center, the proposed model closely fits the transconductance curve and the output characteristic of these transistors, considering some physical effects and electrical parameters. Additionally, the model was validated through the simulation of a push-pull inverter circuit composed of complementary transistors with dimensions $W=20\mu\text{m}$ and $L=10\mu\text{m}$ for N channel and $W=80\mu\text{m}$ and $L=5\mu\text{m}$ for P channel. Simulations show a high correlation with real circuit behavior, therefore, this SPICE model provides a reliable tool for the design and analysis of IGZO TFT-based circuits facilitating the implementation of these electronic devices.

Keywords: TFT, IGZO, Spice, electrical simulations.

1. INTRODUCCIÓN

Los TFTs pueden considerarse una variante especializada de los MOSFET, los cuales, están adaptados para funcionar sobre sustratos no convencionales a bajas temperaturas (como vidrio o

plástico flexible) en lugar de las comunes obleas de silicio. Estos dispositivos tienen la ventaja de reducir el costo de la manufactura y la huella de carbono, además; el proceso de fabricación es más rápido y sencillo que el del silicio. Adicionalmente, estos dispositivos pueden depositarse sobre sustratos flexibles permitiendo que tengan cierto grado de flexión (con un radio de curvatura menor a 5 mm) por lo que son ligeros y resistentes a impactos. Sin embargo, un problema común son las grandes capacitancias parásitas que ralentizan la respuesta en frecuencia y limitan notablemente su velocidad de operación. Además, no tienen la facilidad de manejar altas magnitudes de corriente.

En 2003 se reportaron por primera vez los TFTs de IGZO por Hideo Hosono y Kenji Nomura [1]. A partir de ese año, varias compañías de pantallas como Samsung, Sharp y LG han demostrado que los TFTs de IGZO han tenido mucho potencial para su empleo en pantallas LCD (*liquid cristal displays*) de gran tamaño y diodos emisores de luz orgánicos (OLEDs) [2]. Actualmente, la tecnología de transistores IGZO está siendo probada en muchas otras aplicaciones como sensores y sistemas neuromórficos, además, la introducción de Indio, Galio y/o Zinc puede mejorar significativamente el rendimiento de los dispositivos [3]. Adicionalmente, los TFTs de IGZO son candidatos ideales para aplicaciones en dispositivos electrónicos flexibles y pantallas de matriz activa de alta resolución. A pesar de los avances logrados en el desarrollo y fabricación de TFTs de IGZO, el modelado simple de sus características eléctricas sigue siendo un desafío debido a la complejidad de los efectos físicos involucrados.

Para la tecnología de TFT basada en polisilicio (poly-Si) o silicio amorfo hidrogenado (a-Si:H), se han desarrollado varios modelos SPICE (Simulation Program with Integrated Circuit Emphasis) durante las últimas décadas [4]. El modelado de SPICE de dispositivos semiconductores es una herramienta esencial para el diseño y análisis de circuitos electrónicos, ya que permite predecir el comportamiento eléctrico de los dispositivos en distintas condiciones de operación. Sin embargo, los modelos

de SPICE convencionales para transistores MOS no consideran adecuadamente los efectos específicos de los TFTs de IGZO, lo que dificulta la simulación precisa de las curvas de transconductancia y las características de salida. Algunos artículos reportan modelos compactos utilizando enfoques físicos [5-9] y de manera alternativa, algunos artículos han reportado modelos adaptados basados en modelos SPICE de TFTs inorgánicos o MOSFETs [10-14]. Meixner *et al.* [11] presentó un modelo en SPICE para OTFTs (Organic Thin-Film Transistors) basado en las ecuaciones estándar de BSIM (Berkeley Short-channel IGFET Model). La relación entre los OTFTs y los TFTs convencionales (como los de IGZO, que estamos trabajando) radica en que ambos son transistores de película delgada, pero la diferencia clave está en el material semiconductor empleado.

En este trabajo, se presenta el desarrollo de un modelo de SPICE para TFTs de IGZO, basado en mediciones experimentales proporcionadas por el Centro de Nanociencias del IPN. El modelo propuesto del canal N y el modelo propuesto del canal P; han sido ajustados manualmente para reproducir con cierto grado de precisión las curvas de transconductancia en la región de saturación y las curvas de característica de salida de los TFTs de IGZO. Además, se ha validado el modelo mediante la simulación de un circuito inversor *push-pull* compuesto por transistores complementarios, mostrando una alta correlación con el comportamiento del circuito real fabricado. Este trabajo representa un avance significativo en la implementación de modelos de SPICE más precisos para TFTs de IGZO, lo que facilita el diseño y análisis de circuitos electrónicos con un amplio número de transistores basados en esta tecnología.

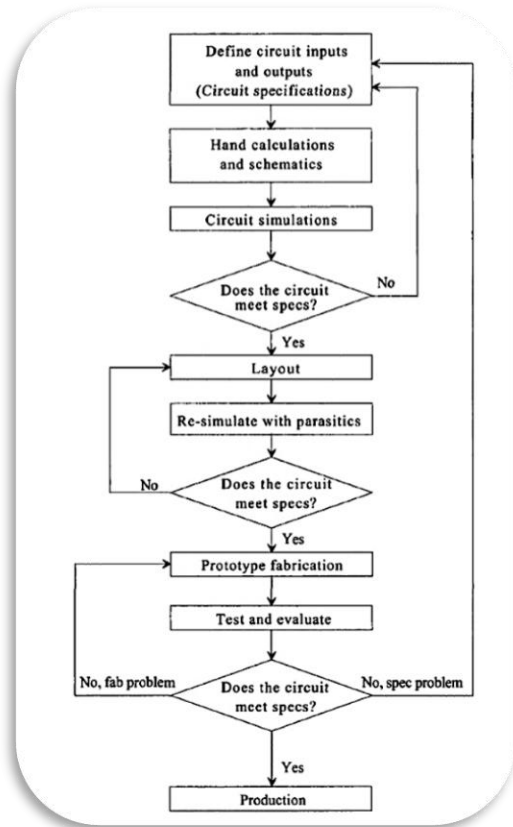


Figura 1. Diagrama de flujo para el desarrollo de un circuito integrado.

2. DESCRIPCIÓN DE LOS MODELOS SPICE

SPICE es un potente simulador de circuitos eléctricos de propósito general, que puede utilizarse para el diseño de circuitos y analizar sus características, siendo de suma importancia para el desarrollo de circuitos integrados. En la Figura 1, se presenta un diagrama de flujo del proceso de diseño de circuitos integrados CMOS [15], con el objetivo de hacer énfasis en la importancia de la etapa de “*Circuit simulations*” (Simulaciones de circuitos); y sin los modelos apropiados, no se pueden llevar a cabo simulaciones eléctricas. Un modelo de SPICE es una representación matemática que describe el comportamiento eléctrico de un determinado componente. Tal modelo está regido por un conjunto de parámetros que definen su comportamiento eléctrico de manera

precisa, algunos parámetros tienen una interpretación desde el punto de vista físico del dispositivo, mientras otros son parámetros de ajuste sin un sentido físico como tal.

El proceso de desarrollo y ajuste de los modelos SPICE para TFTs de IGZO en este trabajo está basado en mediciones experimentales proporcionadas por el Centro de Nanociencias del IPN.

El objetivo principal fue obtener los parámetros del modelo que reproduzcan con cierta precisión las curvas de transconductancia y las características de salida de los transistores. Cabe mencionar que la transconductancia (denotada por g_m) es una medida muy importante que determina la eficiencia de un MOSFET para convertir un cambio V_{gs} (voltaje compuerta-fuente) con respecto a I_{ds} , (corriente drenador-fuente). Este parámetro es una de las principales figuras de mérito en el diseño y modelado de transistores; cuya expresión matemática se presenta en la ecuación (1) para un V_{DS} (voltaje drenador-fuente) constante, y generalmente está definida en la región de saturación.

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (1)$$

Para el desarrollo de los modelos de SPICE, se utilizaron mediciones de corriente de drenaje (I_D) vs. voltaje de puerta-fuente (V_{GS}). Estas mediciones permitieron extraer parámetros físicos y eléctricos clave, como la movilidad efectiva (μ_{eff}), el voltaje umbral (V_{TH}) y el coeficiente de modulación de canal (λ).

Se implementó un modelo basado en el nivel 2 de SPICE debido a que este nivel permite un control más preciso sobre el efecto de modulación de canal a través del parámetro λ (LAMBDA), lo que facilitó una reproducción más fiel de las curvas de la característica de salida. Para ajustar las curvas de transconductancia, se optimizaron parámetros como KP (transconductancia específica), TOX (grosor de óxido), UEXP (dependencia de la movilidad con el voltaje de puerta). Previamente, se habían hecho pruebas con el nivel 1 y el nivel 3, pero al final el nivel 2 se ajustó mejor a las curvas experimentales. Para describir con precisión el comportamiento eléctrico de los TFTs de IGZO en las simulaciones SPICE, es fundamental considerar las ecuaciones que rigen el funcionamiento de los transistores MOS. A continuación, se presentan algunas expresiones, las cuales, fueron ajustadas para reflejar las mediciones experimentales obtenidas. La ecuación (2) describe la corriente de drenaje (I_D) cuando el transistor opera en la región de saturación, o sea cuando $V_{DS} \geq V_{GS} - V_{TH}$, y la ecuación (3) describe la misma corriente I_D cuando el transistor opera en modo triodo o en la región lineal, o sea cuando $V_{DS} \leq V_{GS} - V_{TH}$.

$$I_D = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (2)$$

$$I_D = \mu_n C_{ox} \frac{W}{L} \left(V_{GS} - V_{TH} - \frac{V_{DS}}{2} \right) V_{DS} \quad (3)$$

Donde μ_n es la movilidad efectiva de electrones, C_{ox} es la capacitancia por unidad de área, W y L son el ancho y longitud del canal, V_{TH} es el voltaje de umbral, y λ parámetro de modulación de canal. Al usar un modelo de nivel 2 o nivel 3 de SPICE, esta ecuación puede estar modificada para incluir términos adicionales de movilidad y efectos de canal corto.

El V_{TH} , el cual define el valor mínimo de V_{GS} necesario para que el canal de conducción se forme y comience a fluir la corriente I_{DS} está dado por la siguiente ecuación:

$$V_{TH} = V_{TH0} + \gamma (\sqrt{V_{SB} + 2\phi_F} - \sqrt{2\phi_F}) \quad (4)$$

Donde V_{TH0} es el voltaje umbral sin sesgo de sustrato, γ es el coeficiente de efecto cuerpo, V_{SB} es el voltaje de source-bulk (fuente-sustrato), y ϕ_F es el potencial de Fermi, un parámetro muy importante porque determina la distribución de electrones y huecos en la banda de conducción y en la banda de valencia, lo que influye directamente en la conductividad y las características eléctricas del material. En el modelo de SPICE de Nivel 2, el voltaje de umbral está definido por el parámetro VTO, que puede ajustarse para adaptar la respuesta del transistor a las mediciones experimentales. Este parámetro es crucial para determinar el punto de encendido del transistor y afecta directamente a las características de transferencia y de salida del dispositivo. La letra griega “ γ ” denota el efecto de cuerpo, que representa el

cambio en el V_{TH} entre el voltaje V_{SB} . A medida que V_{SB} se vuelve más positivo (en NMOS), V_{TH} aumenta y por ende se reduce la corriente del canal. Si $\lambda=0$, la corriente de drenaje sería constante en saturación independientemente del voltaje V_{DS} , pero en la práctica λ siempre tiene un valor pequeño y positivo, causando una pendiente ascendente en las curvas de salida; por eso es un parámetro importante en los modelos de SPICE, porque permite simular con mayor precisión el comportamiento de la corriente de drenaje en la región de saturación, lo que mejora la correspondencia entre las simulaciones y las mediciones experimentales.

Otro parámetro relevante, que previamente fue mencionado, es la movilidad efectiva (μ_{eff}) o la movilidad dependiente del campo eléctrico, cuya expresión matemática se expresa a continuación:

$$\mu_{eff} = \frac{\mu_0}{1 + \theta (V_{GS} - V_{TH})} \quad (5)$$

Cabe mencionar que θ representa el coeficiente de degradación de la movilidad debido al campo eléctrico, y este parámetro está relacionado con el parámetro definido como UEXP en SPICE. A continuación, en la Tabla 1, se muestran los parámetros del modelo de SPICE de Nivel 2 utilizados para la simulación de los TFTs de IGZO, junto con sus respectivas unidades y una breve descripción de su significado físico. Posteriormente se mostrarán los modelos ya con los valores implementados, tanto para el canal N como el canal P.

Tabla 1. Parámetros del modelo SPICE de Nivel 2.

Parámetro	Unidades	Descripción
PHI	V	Trabajo de función del material del canal
TOX	m	Espesor del óxido de compuerta
XJ	m	Profundidad de la unión
TPG	—	Polaridad del sustrato (1 = tipo P, -1 = tipo N)
VTO	V	Voltaje de umbral
DELTA	—	Parámetro de ajuste para el efecto de modulación de longitud de canal
LD	m	Longitud de difusión lateral
KP	A/V ²	Parámetro relacionado con la transconductancia ($\mu \times C_{ox}$)
UO	cm ² /Vs	Movilidad de los portadores en ausencia de campo eléctrico

UEXP	V^{-1}	Parámetro de degradación de la movilidad debido al campo eléctrico
UCRIT	V/cm	Campo eléctrico crítico para la saturación de la velocidad
RSH	Ω/\square	Resistencia de hoja (<i>sheet resistance</i>)
GAMMA	$V^{1/2}$	Coefficiente del efecto de cuerpo (<i>body-effect</i>)
NSUB	cm^{-3}	Concentración de dopaje del sustrato
NFS	cm^{-2}	Densidad de carga en la interfaz óxido-semiconductor
VMAX	cm/s	Velocidad de saturación de los portadores
LAMBDA	V^{-1}	Parámetro de modulación de longitud de canal
CGDO	F/m	Capacitancia parásita de compuerta-drenaje por unidad de longitud
CGSO	F/m	Capacitancia parásita de compuerta-fuente por unidad de longitud
CGBO	F/m	Capacitancia parásita de compuerta-sustrato por unidad de longitud
CJ	F/m^2	Capacitancia de unión por unidad de área
MJ	—	Factor de gradiente de la unión
CJSW	F/m	Capacitancia de unión de borde por unidad de longitud
MJSW	—	Factor de gradiente de la unión de borde
PB	V	Potencial de difusión de la unión

dimensiones físicas son $W=20\mu m$, $L=10\mu m$ para el canal N y $W=80\mu m$, $L=5\mu m$ para el canal P.

Tabla 2. Parámetros para el TFT canal N.

```
. MODEL TFTN NMOS (LEVEL=2 PHI=1.4 TOX=1.9E-9
+XJ=0.2 TPG=1 VTO=2 DELTA=4.586 LD=2.972E-7
+KP=5u UO=4 UEXP=0.16 UCRIT=6E4 RSH=6.202
+GAMMA=1.3 NSUB=5.5E15 NFS=6.925e13 VMAX=5E2
+LAMBDA=0.03 CGDO=0.01p CGSO=0.01p
+CGBO=3.4581E-10 CJ=1.3679E-4 MJ=0.63238
+CJSW=5.1553E-12 MJSW=268.05 PB=0.4)
```

Tabla 3. Parámetros para el TFT canal P.

```
. MODEL TFTP PMOS (LEVEL=2 PHI=2.3 TOX=0.26E-9
+XJ=0.2 TPG=1 VTO=-1.8 DELTA=2.0 LD=0.972E-7
+KP=0.36u UO=33 UEXP=0.56 UCRIT=40E3
RSH=16.202
+GAMMA=0.45 NSUB=2.8E14 NFS=10.925e12
+VMAX=3E3 LAMBDA=0.09 CGDO=0.01p
CGSO=0.01p
+CGBO=3.4581E-10 CJ=1.3679E-4 MJ=0.63238
+CJSW=5.1553E-12 +MJSW=268.05 PB=0.4)
```

Las Figuras 2 y 3 muestran los diagramas de los circuitos esquemáticos implementados en este trabajo, que nos sirvieron para medir y comparar las curvas de transconductancia y de característica de salida, haciendo los barridos correspondientes en el software LTSpice.

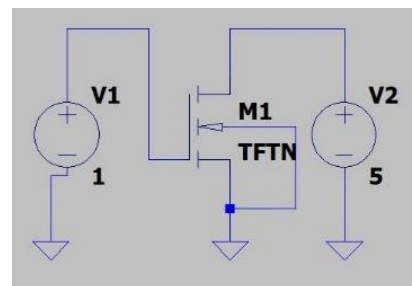
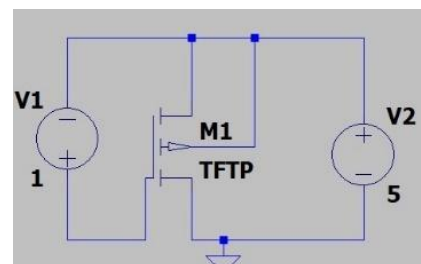


Figura 2. Diagrama esquemático del TFT canal N simulado en LTSpice.



Una vez que ya tenemos definidos los parámetros y algunas ecuaciones clave del modelo, es posible proceder con las simulaciones para evaluar su precisión y comportamiento en comparación con las mediciones experimentales. Este análisis previo nos ayudará a evaluar y comprender el funcionamiento y modo de operación del transistor. A continuación, se presentan las capturas de los modelos desarrollados y usados en este trabajo, en la Tabla 2 se presenta el modelo del TFT canal N y en la Tabla 3 se presenta el modelo del TFT canal P. Las

Figura 3. Diagrama esquemático del TFT canal P simulado en LTSpice.

3. SIMULACIONES Y MEDICIONES

La Figura 4 muestra la comparación de la curva de transconductancia del TFT canal N, se puede observar una buena aproximación de la simulación, ya que ambas curvas presentan un aceptable ajuste en la región de operación. Posteriormente, en la Figura 5, se muestra las curvas de salida del canal N, donde también se comparan los datos medidos con las simulaciones. Se observa un buen ajuste entre las curvas de la simulación y las mediciones, lo que indica que el modelo propuesto logra replicar con precisión el comportamiento del dispositivo en función de V_{DS} . La concordancia entre las curvas sugiere que los parámetros del modelo han sido ajustados de manera adecuada.

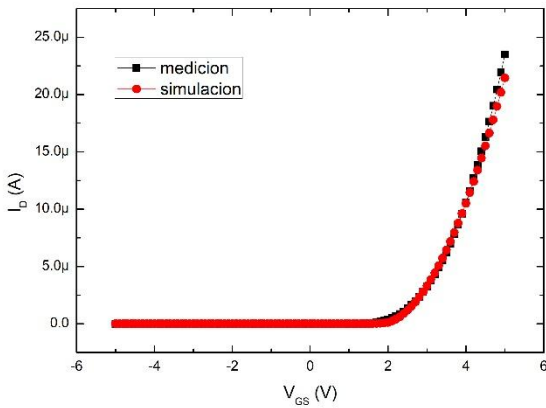


Figura 4. Comparación simulación vs. medición de la curva de transconductancia del TFT canal N.

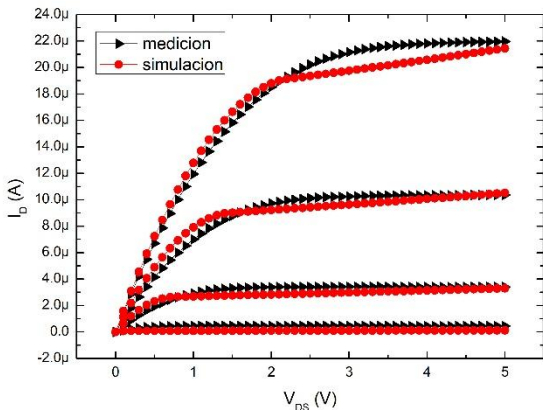


Figura 5. Comparación simulación vs. medición de la característica de salida del TFT canal N.

La Figura 6 muestra la comparación entre la curva de transconductancia medida y simulada para el TFT canal P y en la Figura 7 la comparación de la característica de salida. Se observa una ligera discrepancia entre ambas curvas, debido a la necesidad de mantener coherencia entre los modelos utilizados para las características de salida y de transconductancia.

Para garantizar un comportamiento consistente en las simulaciones de características de salida y permitir el uso de un único modelo SPICE para el PMOS, fue necesario ajustar los parámetros del modelo para que los rangos de corriente coincidieran en las curvas de salida. Como resultado, este ajuste causa una pequeña desviación en la transconductancia, pero las curvas de salida muestran un ajuste aceptable, lo que confirma que el modelo describe adecuadamente el comportamiento general del dispositivo.

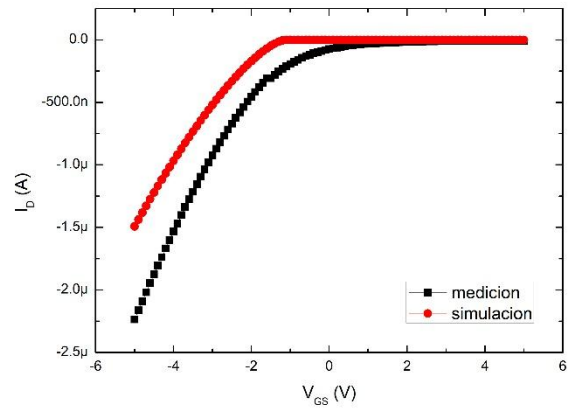


Figura 6. Comparación simulación vs. medición de la curva de transconductancia del TFT canal P.

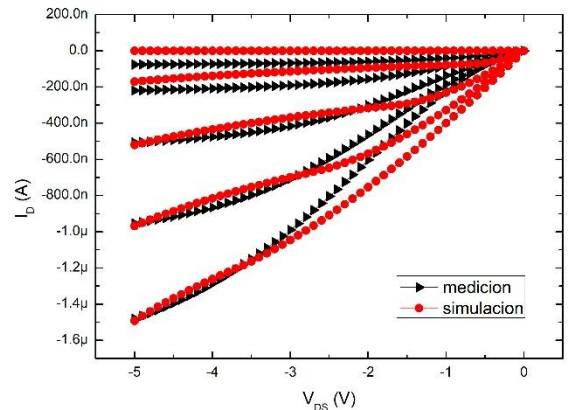
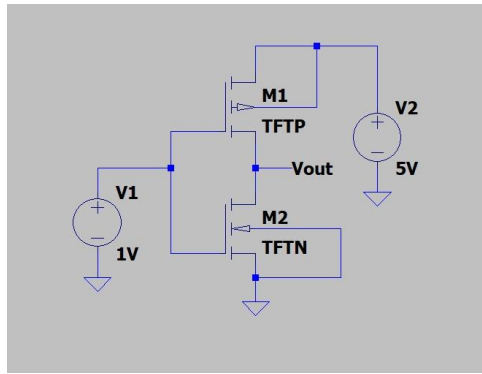
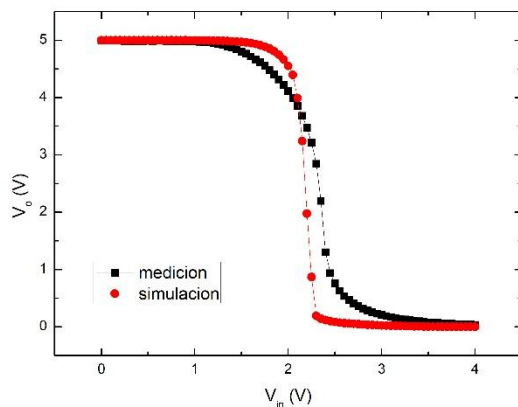


Figura 7. Comparación simulación vs. medición de la característica de salida del TFT canal P.



a)



b)

Figura 8. Inversor *push-pull*, a) Diagrama esquemático en LTSpice, b) Comparación entre simulación y resultado experimental.

En la Figura 8a), se muestra el diagrama esquemático de un inversor *push-pull* desarrollado en LTSpice, y en la Figura 8b) la comparación de las salidas respectivas entre simulación y la medición experimental. Evidentemente los modelos utilizados brindan una aproximación aceptable demostrando la coherencia y aplicabilidad de los modelos desarrollados para el diseño de circuitos analógicos y digitales.

4. CONCLUSIONES

Aunque hubo discrepancias con el TFT transistor canal P, de alguna forma se logró desarrollar modelos que presentan una precisión aceptable en la reproducción del comportamiento de los dispositivos reales. El proceso de extracción y ajuste de parámetros ha permitido definir modelos de SPICE robustos y confiables, capaces de replicar fielmente las características eléctricas de los dispositivos medidos. Cabe mencionar que en el TFT canal N hubo un mejor ajuste en las curvas. Estos resultados sientan las bases para mejorar otros aspectos de estos modelos

como la respuesta en frecuencia y contribuir a la implementación y optimización de circuitos más complejos basados en tecnología TFT.

5. REFERENCIAS

- [1] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, Thin-Film Transistor Fabricated in Single-Crystalline Transparent Oxide Semiconductor, *Science* (1979), vol. 300, no. 5623, May 2003, pp. 1269-1272.
- [2] Y. Zhu, Y. He, S. Jiang, L. Zhu, C. Chen, and Q. Wan, Indium-gallium-zinc-oxide thin-film transistors: Materials, devices, and applications, *Journal of Semiconductors*, vol. 42, no 3, Mar 2021, pp 1-19.
- [3] A. Olziersky *et al.*, Role of Ga2O3-In2O3-ZnO composition on the electrical performance of thin-film transistors, *Mater Chem Phys*, vol. 131, no 1-2, Dec. 2011, pp. 512-518.
- [4] Shur, M., Hack, M., Shaw, J.G.: A new analytic model for amorphous silicon thin-film transistors. *J. Appl. Phys.* 66, 1989, pp. 3371-3380.
- [5] O. Marinov, M. J. Deen, U. Zschieschang, and H. Klauk, Organic Thin Film Transistors: Part I—Compact DC Modeling, *IEEE Transactions on Electron Devices*, vol. 56, no. 12, 2009, pp. 2952-2961.
- [6] M. Estrada, A. Cerdeira, J. Puigdollers, L. Reséndiz, J. Pallares, L. Marsal, C. Voz, and B. Iñiguez, Accurate modeling and parameter extraction method for organic TFTs, *Solid-State Electronics*, vol. 49, no. 6, 2005, pp. 1009-1016.
- [7] M. Estrada, I. Mejía, A. Cerdeira, J. Pallares, L. Marsal, and B. Iñiguez, "Mobility model for compact device modeling of OTFTs made with different materials," *Solid-State Electronics*, vol. 52, no. 5, pp. 787-794, 2008.
- [8] L. Li, M. Debucquoy, J. Genoe, and P. Heremans, A compact model for polycrystalline pentacene thin-film transistor, *Journal of Applied Physics*, vol. 107, no. 2, 2010, p. 024519.
- [9] B. Iñiguez, R. Picos, D. Veksler, A. Koudymov, M. S. Shur, T. Ytterdal, and W. Jackson, Universal compact model for long- and short-channel Thin-Film Transistors, *Solid-State Electronics*, vol. 52, no. 3, 2008, pp. 400-405.
- [10] R. M. Meixner, H. H. Gobel, H. Qiu, C. Ucurum, W. Klix, R. Stenzel, F. A. Yildirim, W. Bauhofer, and W. H. Krautschneider, A Physical Based PSPICE Compact Model for Poly(3-hexylthiophene) Organic Field-Effect Transistors, *IEEE Transactions on Electron Devices*, vol. 55, no. 7, 2008, pp. 1776-1781.
- [11] V. Vaidya, J. Kim, J. N. Haddock, B. Kippelen, and D. Wilson, SPICE Optimization of Organic FET Models Using Charge Transport Elements, *IEEE Transactions on Electron Devices*, vol. 56, no. 1, 2009. pp. 38-42.
- [12] A. Valletta, A. S. Demirkol, G. Maira, M. Frasca, V. Vinciguerra, L. G. Occhipinti, L. Fortuna, L. Mariucci, and G. Fortunato, A Compact SPICE Model for Organic TFTs and Applications to Logic Circuit Design, *IEEE Transactions on Nanotechnology*, vol. 15, no. 5, 2016, pp. 754-761.
- [13] O. Yaghmazadeh, Y. Bonnassieux, A. Saboundji, B. Geffroy, D. Tondelier, and G. Horowitz, A SPICE-like DC Model for Organic Thin-Film Transistors, *Journal of Korean Physical Society*, vol. 54, no. 925, Jan. 2009, p. 523.
- [14] K. Kandpal and N. Gupta, Adaptation of a compact SPICE level 3 model for oxide thin-film transistors, *Journal of Computational Electronics*, vol. 18, Sep. 2019, pp. 1-8.
- [15] R. Jacob Baker, CMOS circuit design, layout and simulation, IEEE Press, Wiley, 4th ed. USA, 2019.