

PSEUDO-RESISTOR INTEGRADO EN CMOS CON LINEALIDAD MEJORADA

López Almejo Adrián M.,
Molinar-Solis Jesús E.
Sánchez-Arias Daniel
Tecnológico Nacional de México/
I. T. Cd. Guzmán
Depto. de Eléctrica/Electrónica
Av. Tecnológico #100, Cd. Guzmán,
Jalisco, MÉXICO
Tel: 55 1592 7763
jesus.ms@cdguzman.tecnm.mx

Padilla-Cantoya, Iván
Universidad de Guadalajara
Depto. de Electro-Fotónica
Guadalajara, Jalisco, MÉXICO

Ocampo-Hidalgo, Juan J.
Universidad Autónoma
Metropolitana
Depto. de Electrónica
CDMX, MÉXICO

RESUMEN.

En este trabajo, un pseudo-resistor ajustable fue diseñado e implementado usando tecnología CMOS de 0.35 μm , la propuesta utiliza desplazadores de nivel libres de efecto de cuerpo y presenta baja distorsión en comparación con otros trabajos. El diseño propuesto muestra un muy aceptable nivel de linealidad en un rango útil ideal para su implementación en filtros de bioseñales. Los resultados fueron comprobados mediante simulación en TopSpice así como su implementación física en tecnología CMOS.

Palabras clave: Pseudo-resistor, THD, CMOS.

ABSTRACT.

In this work, an adjustable pseudo-resistor was designed using 0.35 μm CMOS technology, the proposal uses level shifters free of body-effect and presents low THD as compared with other works. The proposed design shows higher linearity in a useful range ideal for implementation in biosignal filters. The results were tested by simulation in TopSpice CAD as well as its physical implementation in CMOS technology.

Keywords: Pseudo-resistor, THD, Level Shifter, CMOS.

1. INTRODUCCIÓN

Hoy en día, se han desarrollado diferentes técnicas y propuestas para implementar resistencias ajustables de amplio rango en CMOS. Estos pseudo-resistores son el elemento fundamental en el diseño de filtros de biomedicina; ya que los valores ajustables de alta resistencia permiten establecer las frecuencias de corte para las ondas ECG, EEG y EMG en el rango de 0.01Hz a 10kHz [1]. Muchas propuestas se basan en un trabajo previo presentado por Tajalli *et al.* [2] Fig. 1a), donde el uso de dos PMOS en régimen de subumbral permiten alcanzar una resistencia en el rango de Giga-Ohms. La idea principal es ajustar el valor de la resistencia configurando el potencial V_{SG} a través de un desplazador de nivel representado por la fuente de voltaje controlable. Por otro lado, Kassiri *et al.* proponen un enfoque diferente [3], Fig. 1b), donde en lugar de un único desplazador de nivel en el nodo central "x", cada PMOS del

pseudo-resistor tiene un V_{SG} fijo mediante el uso de fuentes de voltaje ideales. Otros enfoques amplían la idea original agregando más transistores PMOS al pseudo-resistor o usando pares diferenciales como una extensión de los desplazadores de nivel antes mencionados [4]. Ya que los desplazadores de nivel típicos basados en NMOS son propensos al efecto de cuerpo, este hecho hace que el potencial V_{SG} cambie con el voltaje de entrada, en consecuencia, la resistencia efectiva del pseudo-resistor no es constante en el rango dinámico, causando una considerable distorsión. En este sentido, proponemos un diseño de un pseudo-resistor utilizando un desplazador de nivel libre de efecto de cuerpo que mejora la linealidad. El diseño fue desarrollado en tecnología CMOS 0.35 μm y las simulaciones eléctricas concuerdan con las mediciones experimentales.

2. DISEÑO DEL PSEUDO-RESISTOR

El pseudo-resistor propuesto se muestra en la Fig. 1c). Como se puede notar, el circuito sigue una idea similar propuesta por Kassiri, sin embargo, las terminales de cuerpo (*bulk*) de los PMOS están unidas al nodo central "x". Debido a la simetría del circuito, para un voltaje de entrada V_a o V_b dado, uno de los transistores M1 o M2 tendrá un V_{SG} fijo y un $V_{BS} < 0$, este hecho hace que este transistor tendrá menos capacidad de corriente que el otro y generará una condición de alta resistencia. La corriente de drenador (*drain*) de los PMOS se puede modelar mediante la expresión en inversión débil [5]:

$$I_{DS} = \frac{W}{L} I'_M e^{(V_{GS}-V_M)/(\eta U_T)} (1 - e^{-V_{DS}/U_T}) \quad (1)$$

con

$$V_M = V_{FB} + 2U_T + \gamma \sqrt{2U_T + V'_{SB}} \quad (2)$$

y,

$$I'_M = \mu \frac{\sqrt{2q\epsilon_s N_A}}{2\sqrt{2\phi_F + V'_{SB}}} U_T^2 \quad (3)$$

Donde $U_T=kT/q$ es el voltaje térmico; η es la pendiente de subumbral; μ es la movilidad del portador; V_M es el límite superior de inversión débil en términos de V_{GS} para el valor dado de V_{SB} . El término W/L es la relación de aspecto del transistor. Una de las fuentes de voltaje controladas V_{SG} de la configuración propuesta en la Fig. 1c), en nuestro caso se implementa mediante un desplazador de nivel que se muestra en la Fig. 2. El cortocircuito entre el cuerpo y la fuente (*source*) de M4 hace que $V_{SB}=0$, en consecuencia, el transistor M4 no presenta efecto de cuerpo. Por sí solo, el propio desplazador de nivel carece de alta resistencia de entrada; esta condición limitaría notablemente a la resistencia del propio pseudo-resistor, por lo cual, no podría brindar resistencia de alto valor. Para evitar esto, se debe considerar el seguidor de voltaje representado en la misma Fig. 2, que posee alta resistencia de entrada. Este seguidor propuesto por Palmisano *et al.* [6] no agrega ninguna componente de desplazamiento en DC adicional y la pendiente de su característica de transferencia no se ve afectada por el efecto de cuerpo. De esta forma, la tensión V_{SG} ofrecida por la fuente controlada, en este caso implementada por estos dos circuitos en conjunto, ofrecerá una alta resistencia de entrada y el voltaje de desplazamiento estará determinado únicamente por la corriente de polarización I_{bps} . Finalmente, esta eliminación del efecto de cuerpo en ambos circuitos permitirá un potencial V_{SG} constante en el rango dinámico de la pseudo-resistencia.

2.1. SIMULACIONES Y MEDICIONES

Se hace una comparación de la mitad del pseudo-resistor propuesto con aquel propuesto por Kassiri *et al.* es decir, con el cuerpo conectado al lado opuesto, Fig. 3a). Teniendo en cuenta los parámetros CMOS TSMC 0.35 μ m con una relación de aspecto de 50 μ m/10 μ m para los dos transistores, la simulación de un barrido en DC de V_a de 0 a 0.3V y $V_{SG}=0.3V$ en la Fig. 3b, muestra la corriente de drenador de ambos transistores PMOS y su resistencia dinámica $\partial V_a/\partial I_D$. Aunque la magnitud de la corriente de drenador de M1 es mayor que la de M2 debido a que la conexión del cuerpo al nodo "x" provoca una menor resistencia, la resistencia dinámica de M2 tiene más variabilidad en el rango dado. Por lo tanto, la conexión de las terminales de cuerpo entre sí (al nodo "x") proporciona una resistencia más constante principalmente cerca del origen, es decir, en los primeros 100 mV. A diferencia de otras aproximaciones, este hecho permite una transición suave del valor resistivo cerca del origen lo que ayuda notablemente en la THD medida.

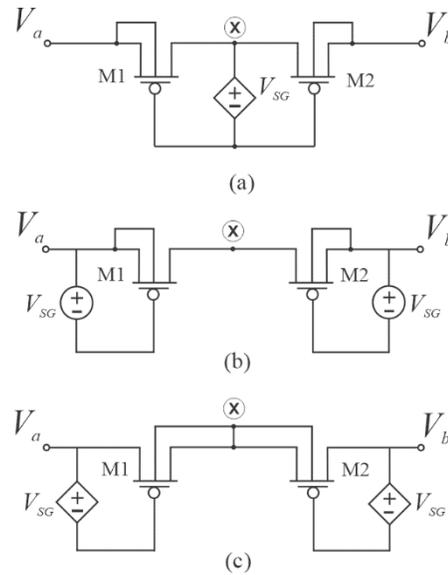


Fig. 1 Diferentes pseudo-resistores ajustables a través del voltaje V_{SG} . a) Tajalli *et al.* b) Kassiri *et al.* c) Circuito propuesto.

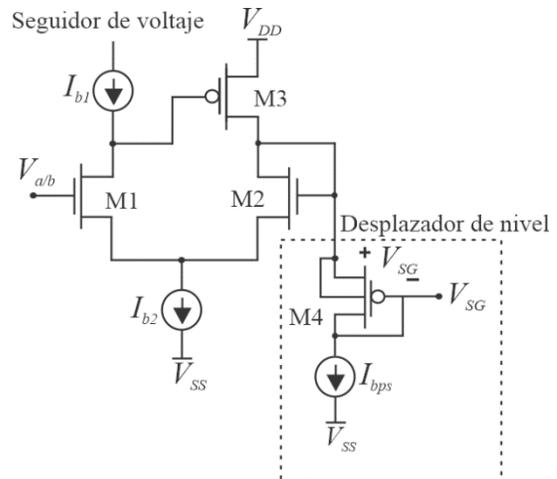


Fig. 2 Circuito propuesto para el potencial V_{SG} .

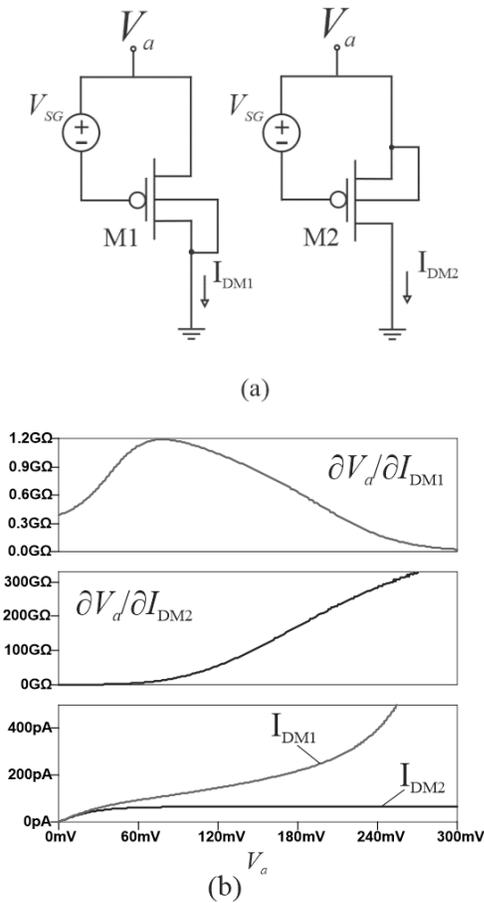


Fig. 3 Simulaciones eléctricas de la mitad del circuito del pseudo-resistor. a) Diagramas eléctricos con el cuerpo conectado a la fuente y/o drenador. b) Gráficas simuladas para el barrido V_a , I_D y resistencia dinámica.

Para el diseño del circuito completo se consideraron los siguientes tamaños de transistores: $M1=M2=M3=50\mu m/10\mu m$; $M4=200\mu m/10\mu m$, $V_{DD}=-V_{SS}=1V$ y corrientes de polarización $I_{b1}=1\mu A$, $I_{b2}=10\mu A$. Se consideró una longitud de canal amplia para aumentar la resistencia de salida de los diferentes espejos de corriente necesarios para las corrientes de polarización. La simulación eléctrica del comportamiento de la pseudo-resistencia considerando un barrido primario en DC de V_a desde $-200mV$ a $200mV$ y V_b a tierra se muestra en la Fig. 4a). La resistencia del pseudo-resistor se ajusta a través de un barrido secundario, esto cambiando el valor actual de I_{bps} , en este caso con pasos de $1\mu A$ desde $1\mu A$ hasta $10\mu A$. En las mismas condiciones se realizó la medición en el circuito integrado fabricado utilizando la fuente-medidor Keysight B2902A, Fig. 4b), en este caso se ajustó manualmente la corriente I_{bps} para cada una de las curvas de resistencia. Como se puede notar, los resultados de la medición están de acuerdo con la simulación.

La medición de THD se realizó utilizando un amplificador operacional de transimpedancia y el analizador de espectro Rigol DSA815. La medición representada en la Fig. 5 se realizó utilizando un voltaje de entrada V_a de $100mV_p$ a $100kHz$. Los valores de resistencia caracterizados van desde $140k\Omega$ hasta $9G\Omega$, y hasta $275M\Omega$ la linealidad es $THD \leq 2\%$, para valores de resistencia más altos la linealidad se degradada.

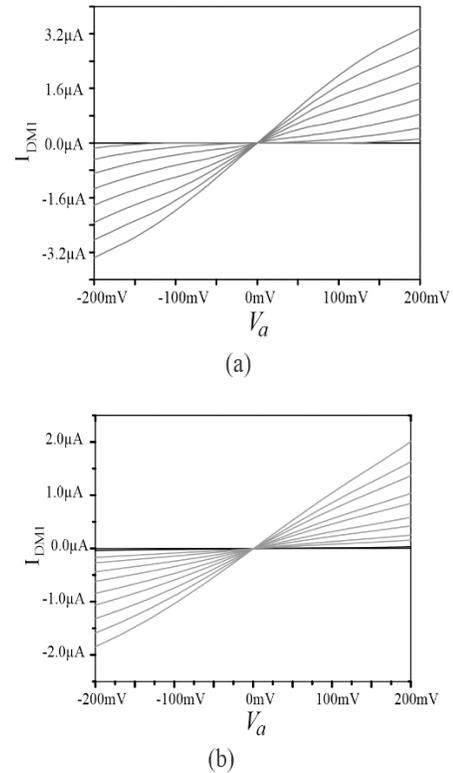


Fig. 4 Comportamiento del pseudo-resistor, a) Simulaciones en TopSpice. b) Mediciones del circuito integrado fabricado.

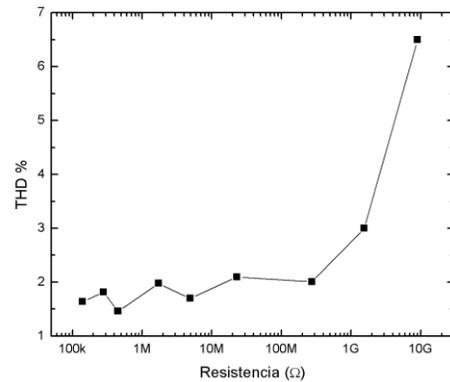


Fig. 5 Medición de distorsión armónica THD para la resistencia del pseudo-resistor entre $140k\Omega$ a $9G\Omega$.

3. CONCLUSIONES

Se presenta un pseudo-resistor original con desplazadores de nivel libres de efecto cuerpo. Desde la perspectiva del diseño, la conexión entre los cuerpos brinda una resistencia más constante en el rango dinámico. Adicionalmente, esta conexión permite usar un solo pozo para ambos transistores de la pseudo-resistencia, lo cual, permite ahorrar área a diferencia de otros enfoques donde una conexión separada requiere dos pozos a diferentes potenciales. La resistencia del pseudo-resistor se ajusta configurando una corriente de polarización I_{bps} . El rango de la resistencia medida es desde $k\Omega$ hasta $G\Omega$, siendo hasta $275 M\Omega$ el rango donde $THD \leq 2\%$, siendo valores medidos experimentalmente a diferencia de los otros reportados por otros autores a nivel simulación.

4. REFERENCIAS

- [1] Webster, J. G.: "Medical instrumentation: application and design", John Wiley & Sons, MA, USA, 1976, fourth edition.
- [2] Tajalli, A., Leblebici, Y., & Brauer, E. J.: "Implementing ultra-high-value floating tunable CMOS resistors", IEE Electronics Letters, 2008, 44, (5), pp. 349-350.
- [3] Kassiri, H., Abdelhalim, K., & Genov, R.: "Low-distortion super-GOhm subthreshold-MOS resistors for CMOS neural amplifiers", IEEE Biomedical Circuits and Systems Conference (BioCAS), Rotterdam, Netherlands, 2013, pp. 270-273.
- [4] Nagulapalli, R., Hayatleh, K., Barker, S., Georgiou, P., & Lidgey, F. J.: "A high value, linear and tunable cmos pseudo-resistor for biomedical applications", Journal of Circuits, Systems and Computers, 2019, 28, (06).
- [5] Tsvividis, Y., McAndrew C. "Operation and modeling of the MOS transistor", Oxford University Press, 2011, third edition.
- [6] Palmisano, G., Palumbo, G., & Pennisi, S.: "High-performance and simple CMOS unity-gain amplifier", IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, 2000, 47, (3), pp: 406-410.